



## CGAN-002: How to read GaN FET datasheet?

### 目录

1	命名规则.....	1
2	元件符号.....	1
3	最大额定值.....	1
4	热参数.....	5
5	静态参数.....	6
6	动态参数.....	9

## 1 命名规则

以 CG65030TAD 产品为例，“C”为 Cloud Semi，“G”代表 GaN 产品，“65”代表产品建议的最大耐压为 650V，“030”代表器件的最大导通电阻为 30mΩ，“TA”代表使用 TOLL 封装，除此以外云镓还有 DFN, TOLT, TO220F 等多种封装类型。最后一位“D”为版本号。



图 1-1 CG65030TAD 的型号及含义说明

## 2 元件符号

CG65030TAD 采用了 TOLL 封装，除了常规的 Gate, Source, Drain 管脚以外，还提供了 SK (Kelvin Source) 管脚，在使用的时候，SK 端口接入驱动回路，不参与功率回路的工作。在开关过程中，源极上的寄生电感在大的 di/dt 场合下容易导致栅极波形振荡。引入 SK 端口后，功率回路和驱动回路实现了分立，功率回路电流转换在寄生电感上引起的振荡不会对驱动回路造成影响，SK 端口可以有效降低器件源极寄生电感对驱动信号的干扰。从元件符号图上还能看出，为了确保器件的漏极能够承受 650V 及以上的电压，HV GaN FET 在栅漏间设计了更大的漂移区，为非对称的功率器件。

管脚号	描述	产品外观图	元件符号图
1~6	Source		
7	SK		
8	Gate		
9	Drain		

表 2-1 管脚信息，产品外观及元件符号说明

## 3 最大额定值

最大额定值规定了此款 GaN 场效应管允许的工作范围，当器件工作在额定范围外时，可能会降低预期寿命。下面以 CG65030TAD 的最大额定值表格为例说明。

Parameters	Sym.	Values			Units	Notes/Test Conditions
		Min.	Typ.	Max.		
Drain-source voltage	$V_{DS, max}$	-	-	650	V	$V_{GS} = 0\text{ V}; I_D = 10\ \mu\text{A}$
Drain-source voltage transient <sup>1</sup>	$V_{DS, transient}$	-	-	850	V	$V_{GS} = 0\text{ V}; V_{DS} = 850\text{ V}$
Continuous current, drain-source	$I_D$	-	-	60	A	$T_c = 25\text{ }^\circ\text{C}$
Pulsed current, drain-source <sup>2</sup>	$I_{D, pulse}$	-	-	120	A	$T_c = 25\text{ }^\circ\text{C}; V_G = 6\text{ V}$
Pulsed current, drain-source <sup>2</sup>	$I_{D, pulse}$	-	-	50	A	$T_c = 150\text{ }^\circ\text{C}; V_G = 6\text{ V}$
Gate-source voltage, continuous <sup>3</sup>	$V_{GS}$	-7	-	+7	V	$T_j = -55\text{ }^\circ\text{C to } 150\text{ }^\circ\text{C}$
Gate-source voltage, pulsed	$V_{GS, pulse}$	-20	-	+10	V	$T_j = -55\text{ }^\circ\text{C to } 150\text{ }^\circ\text{C};$ $t_{Pulse} = 50\text{ ns}; f = 100\text{ kHz};$ open drain
Power dissipation	$P_{tot}$	-	-	278	W	$T_c = 25\text{ }^\circ\text{C}$
Operating temperature	$T_j$	-55	-	+150	$^\circ\text{C}$	
Storage temperature	$T_{stg}$	-55	-	+150	$^\circ\text{C}$	

1.  $V_{DS, transient}$  is intended for surge rating during non-repetitive events,  $t_{Pulse} < 1\ \mu\text{s}$ .

2. Pulse width = 10  $\mu\text{s}$ .

3. The minimum  $V_{GS}$  is clamped by ESD protection circuit, as shown in Figure 8.

表 3-1 CG65030TAD 的最大额定值

### 3.1 瞬时耐压 $V_{DS,transient}$

当出现雷电，设备启停和故障等情况时，有概率在 GaN 器件的源漏之间引入瞬时大电压，其持续时间很短，往往在纳秒到微秒级，但对器件的冲击很大，这种现象被称之为浪涌。因此，为了确保器件能在浪涌等极端工况下安全工作，需要在最大额定电压之上，再留出一定的裕量，对应的最大电压值被称为  $V_{DS,transient}$ 。

JEP186 中规定了该参数的两类说明规范：1.非重复脉冲情况下的最大电压值，需说明脉宽；2.重复脉冲情况下的最大电压值，需说明脉冲数量及脉宽，或者经历的总脉冲时间。云镓半导体采用第一类规范，规定了 GaN 器件在 $<1\mu\text{s}$  的非重复事件期间的浪涌额定值。测试电路请参考下图。

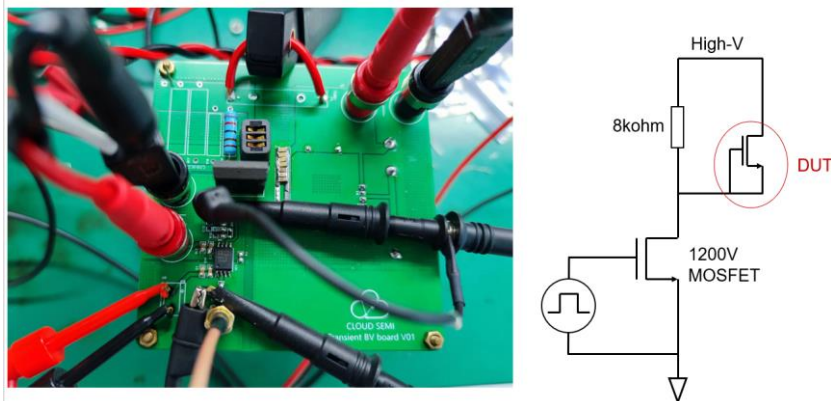


图 3-1 云镓  $V_{DS,transient}$  测试电路

### 3.2 安全工作区 SOA 与 $I_D, I_{D,pulse}$

对于功率器件而言，安全工作区 SOA (Safe Operating Area) 是个非常重要的概念，想

要使功率器件安全工作，就要确保其工作条件（电压，电流，结温等）处于安全工作区内。SOA 的横坐标是电压  $V_{DS}$ ，纵坐标是电流  $I_{DS}$ ，其边界由  $R_{DS(on)}$ 、 $I_D$ 、 $I_{D,pulse}$ 、击穿电压等条件共同限制。

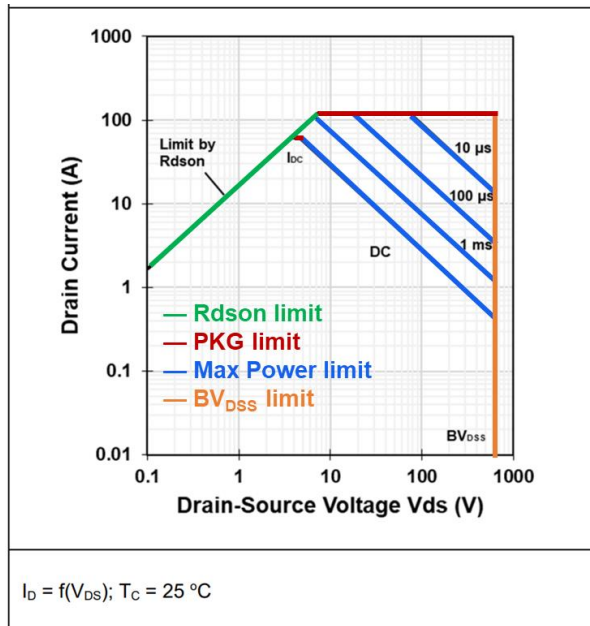


图 3-2 CG65030TAD 的 SOA

### 限制 1: $R_{DS(on)}$ 限制

要理解  $R_{DS(on)}$ 限制，就需要了解  $R_{DS(on)}$ 与结温的关系。GaN 场效应管的最高结温  $T_{j,max}=150^\circ C$ ，超过此温度会损坏器件，而 GaN 的导通电阻是正温度系数的，当器件结温随功率增加而上升，导通电阻也随之增大。当结温达到最大额定值  $150^\circ C$ ，其对应的导通电阻也达到了最大值，由此构成了第一个限制条件： $R_{DS(on)}$ 限制。该边界具有恒定斜率，表明直线上的每个点都表示相同的阻值，对应最大导通电阻。

$$I_D = \frac{V_{DS}}{R_{DS(on),max}}$$

### 限制 2: 封装限制:

两条水平线表示电流极限，分别对应于直流电流  $I_D$  (Continuous current, drain-source)，以及脉冲电流  $I_{D,pulse}$  (Pulsed current, drain-source)，主要受结壳热阻  $R_{thJC}$  的限制，即封装的限制。而且，相较于直流电流，由于脉冲电流仅施加一定的时长，因此能够承受更大的电流。直流电流  $I_D$  具体计算公式如下：

$$P = \frac{T_{j,max} - T_c}{R_{thJC}}$$

$$I_D = \sqrt{\frac{P}{R_{DS(on)}}} = \sqrt{\frac{T_{j,max} - T_c}{R_{thJC} \cdot R_{DS(on),max}}}$$

同理可以得到脉冲电流  $I_{D,pulse}$ ，其中瞬态热阻  $Z_{thJC}$  可在瞬态热阻图中读到。

$$P = \frac{T_{j,max} - T_c}{Z_{thJC}}$$

$$I_{D,pulse} = \sqrt{\frac{P}{R_{DS(on)}}} = \sqrt{\frac{T_{j,max} - T_c}{Z_{thJC} \cdot R_{DS(on),max}}}$$

### 限制 3：最大功率限制：

最大功率受到最大结温的限制，该边界上的每个点都表示相同的恒定功率。ID, ID,pulse 与 VDS 关系如下。需要注意的是，对于脉冲电流，SOA 只给出了单脉冲情况的限制条件，由于瞬态热阻 Z<sub>thJC</sub> 取决于脉冲长度及其占空比，当使用周期脉冲时，其瞬态热阻会根据占空比变化，具体数值可参考瞬态热阻图。

$$I_D = \frac{T_{j,max} - T_c}{R_{thJC} \cdot V_{DS}}$$

$$I_{D,pulse} = \frac{T_{j,max} - T_c}{Z_{thJC} \cdot V_{DS}}$$

### 限制 4：击穿电压限制

GaN 场效应管的工作电压不能超过其击穿电压。

### 3.3 V<sub>GS</sub>

云镓的 V<sub>GS</sub> 范围并非 GaN FET 的栅极极限能力，而是确保器件完全开启，且 ESD 泄放电路未打开的电压范围。GaN 器件因为结电容小、耐压低，ESD 防护能力较弱。目前云镓 GaN 产品芯片内部集成了 ESD 泄放电路，能够有效提升 GaN 器件 HBM/CDM 等级。云镓 ESD 电路具有自主 IP，拥有正向和反向 ESD 泄放能力，同时满足负压关断的应用需求。正反向具备 ESD 泄放通路，V<sub>GS</sub> 设计范围为-7~7V。

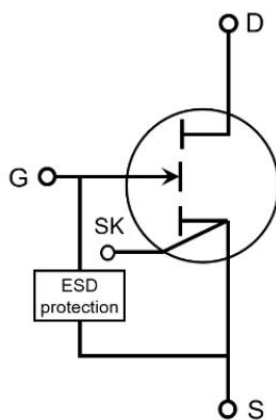


图 3-3 单片集成式 ESD 保护电路的 GaN FET

### 3.4 P<sub>tot</sub>

P<sub>tot</sub>为器件的最大功率，对应器件结温达到T<sub>j,max</sub>时的功率。器件的结壳热阻R<sub>thJC</sub>决定了最大功率随结壳温差变化的斜率，以CG65030TAD为例，下图展示了其在不同壳温下的最大功耗：

$$P_{tot} = \frac{T_{j,max} - T_c}{R_{thJC}}$$

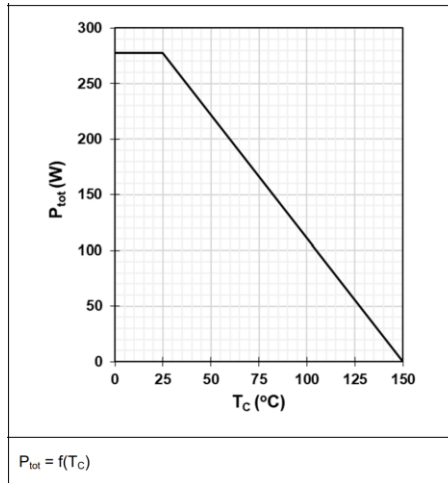


图 3-4 CG65030TAD 的 P<sub>tot</sub>

## 4 热参数

Parameters	Sym.	Values			Units	Notes/Test Conditions
		Min.	Typ.	Max.		
Thermal resistance, junction-case	R <sub>thJC</sub>	-	-	0.45	°C/W	
Thermal resistance, junction-ambient <sup>1</sup>	R <sub>thJA</sub>	-	-	28	°C/W	
Reflow soldering temperature	T <sub>sold</sub>	-	-	260	°C	MSL3

1. Device mounted on 1.6 mm PCB thickness FR4, 4-layer PCB with 2 oz copper on each layer. The recommendation for thermal vias under the thermal pad is 0.3 mm diameter (12mil) with 0.889 mm pitch (35mil). The copper layers under the thermal pad and drain pad are 25 x 25 mm<sup>2</sup> each. The PCB is mounted in horizontal position without air stream cooling.

表 4-1 CG65030TAD 的热参数

### 4.1 结壳热阻

结壳热阻包含静态热阻R<sub>thJC</sub>与瞬态热阻Z<sub>thJC</sub>，分别定义了直流电流及脉冲电流下单位功耗引起的结壳温差，是用来判定封装散热能力的参数，结壳热阻越小，意味着器件散热能力越好，器件工作产生的热量可以更快地通过封装传出去，相同规格芯片对应的器件额定功率更大，可以更好发挥芯片潜力。结壳热阻的公式如下：

$$R_{thJC} = \frac{T_j - T_c}{P}$$

$$Z_{thJC} = \frac{T_j - T_c}{P}$$

云镓瞄准工业应用，使用了更适合大功率应用场景的 TOLL (TO-Leadless)，将 CG65030TAD 的直流结壳热阻降低到了 0.3 °C/W。正在生产的 TOLT (顶部散热) 封装，通过框架翻转，将裸露的散热金属布局在器件顶部，能有效降低热阻，进一步提升热性能，以及器件功率密度及效率。

相较于直流电流，由于脉冲电流仅施加一定的时长，瞬态热阻较静态热阻会显著减小， $Z_{thJC}$  取决于脉冲长度及其占空比，具体数值可参考瞬态热阻图。

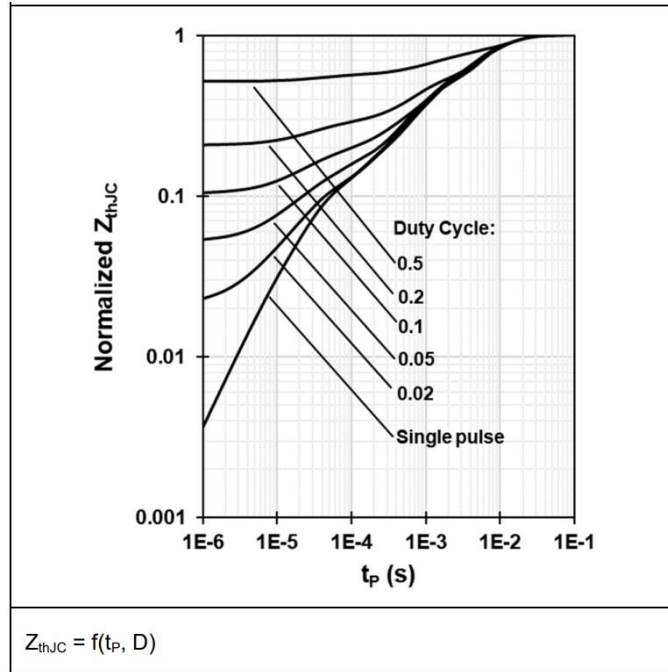


图 4-1 CG65030TAD 的瞬态热阻

## 5 静态参数

Parameters	Sym.	Values			Units	Notes/Test Conditions
		Min.	Typ.	Max.		
Gate threshold voltage	$V_{GS(TH)}$	1.1	1.7	2.6	V	$I_D = 15 \text{ mA}; V_{DS} = V_{GS}; T_J = 25 \text{ }^\circ\text{C}$
		-	1.9	-		$I_D = 15 \text{ mA}; V_{DS} = V_{GS}; T_J = 150 \text{ }^\circ\text{C}$
Drain-source leakage current	$I_{DSS}$	-	5	110	$\mu\text{A}$	$V_{DS} = 650 \text{ V}; V_{GS} = 0 \text{ V}; T_J = 25 \text{ }^\circ\text{C}$
		-	200	-		$V_{DS} = 650 \text{ V}; V_{GS} = 0 \text{ V}; T_J = 150 \text{ }^\circ\text{C}$
Gate-source leakage current	$I_{GSS}$	-	380	-	$\mu\text{A}$	$V_{GS} = 6 \text{ V}; V_{DS} = 0 \text{ V}$
Drain-source on-state resistance	$R_{DS(on)}$	-	25	30	$\text{m}\Omega$	$V_{GS} = 6 \text{ V}; I_D = 20 \text{ A}; T_J = 25 \text{ }^\circ\text{C}$
		-	55	-		$V_{GS} = 6 \text{ V}; I_D = 20 \text{ A}; T_J = 150 \text{ }^\circ\text{C}$
Gate resistance	$R_G$	-	1.0	-	$\Omega$	$f = 5 \text{ MHz}; \text{open drain}$

表 5-1 CG65030TAD 的静态参数

### 5.1 $V_{GS(TH)}$

$V_{GS(TH)}$ ，也称为阈值电压，即能使器件开启的栅极电压，一般采用常数电流法或最大跨导法来定量。云镓采用常数电流法，即提取使器件单位栅宽达到目标电流的栅极电压。测试方法如下：短接栅极和漏极作为二极管正极，并在正极灌入目标电流，此时的栅源电压

差即为阈值电压  $V_{GS(TH)}$ 。

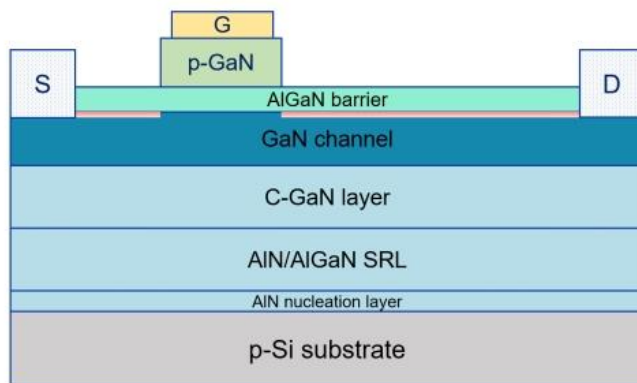


图 5-1 p-GaN 增强型 GaN HEMT 器件结构图

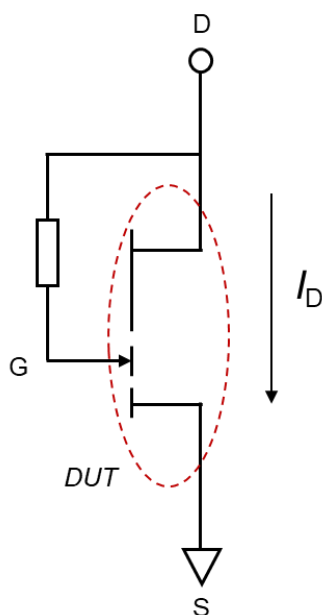


图 5-2  $V_{GS(TH)}$  测试示意图

## 5.2 $I_{DSS}$

$I_{DSS}$  为栅极和源极短路的情况下，在漏极与源极之间施加 650V 电压时测得的漏电流。其具有正的温度系数。

## 5.1 $I_{GSS}$

$I_{GSS}$  为器件正常工作时，即栅压为 6V 时的栅极漏电。此时栅极的肖特基结反偏，与其背靠背的 p-i-n 结导通，栅极漏电主要来源于结漏电和侧壁漏电。测试方法如下：短接器件的漏极和源极，在栅极上加 6V 电压并测得对应漏电流。在应用中，栅极漏电的影响主要体现在驱动电路损耗上，若数值过大还会使栅极电压显著低于驱动电压，影响器件 drive margin，还需要注意的是，因为  $I_{GSS}$  是正温度系数的，其数值会随器件发热而明显增加。

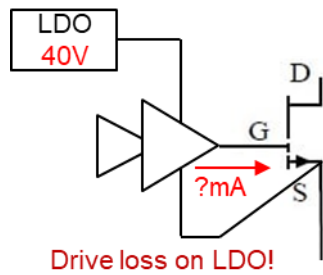


图 5-3 LDO 因为栅漏电而引起的损耗

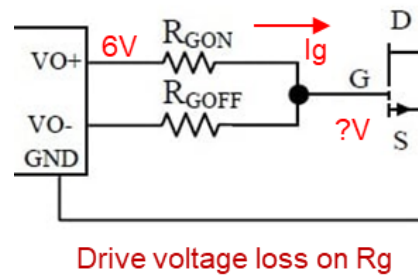


图 5-4 因为栅漏电导致的栅极驱动电压 loss

## 5.2 $R_G$

$R_G$  (Gate Resistance) 即器件的栅极电阻，是在栅极电压改变时，引起栅极电流变化的电阻。在器件工作时，其与驱动电路中的开启/关断电阻串联，决定器件的导通/关断速度。更低的栅极电阻对应更快的栅极电压切换速度和更低的开关损耗，但栅极电阻也可以抑制在栅极回路上由于寄生电感和电容引起的振荡。

## 5.3 $R_{DS(on)}$

GaN 器件导通电阻  $R_{DS(on)}$  主要由两部分组成，第一部分是 GaN 器件的前段电阻  $R_{DS(on)(FE)}$ ，这部分电阻是由 GaN 器件的材料属性决定，也是 GaN 器件导通电阻的主要来源。该前段电阻主要由  $R_{2DEG}$  (漂移区电阻)， $R_{2DEG(Gate)}$  (栅极下方沟道电阻)， $R_C$  (源漏接触电阻) 构成：

$$R_{2DEG} = L_{2DEG} / W_G \times R_{sh}$$

$$R_{2DEG(Gate)} = L_{2DEG(Gate)} / W_G \times R_{sh(Gate)}$$

$$R_{DS(on)(FE)} = 2 \times R_C + R_{2DEG} + R_{2DEG(Gate)}$$

第二个部分是 GaN 器件的后段电阻  $R_{DS(on)(BE)}$ ，这部分电阻是由互联金属层电阻及层间通孔电阻和封装电阻组成，与 GaN 器件的互联以及封装设计有关，与 GaN 器件材料关系不大。

温度对  $R_{DS(on)}$  的影响主要表现在对  $R_{DS(on)(FE)}$  和  $R_{DS(on)(BE)}$  的影响， $R_{DS(on)(FE)}$  包括  $R_{2DEG}$  和  $R_C$  的温度系数， $R_{DS(on)(BE)}$  主要包括 Metal (Cu, Al 等) 的温度系数。温度对 GaN 器件的影响取决于以上各部分的贡献，取决于器件的设计。CG65030TAD 的导通电阻与结温具体关系如下：

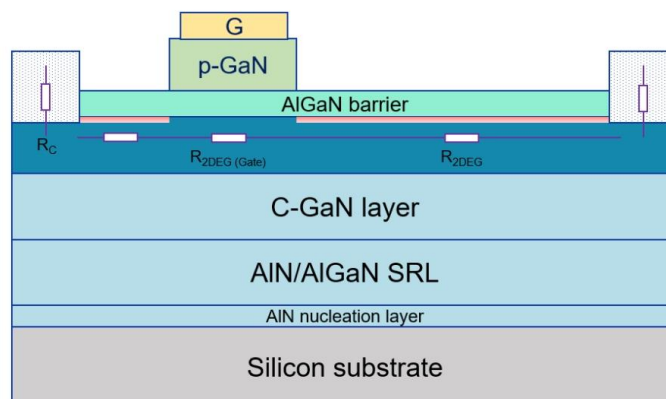


图 5-5 GaN HEMT 器件导通电阻示意图

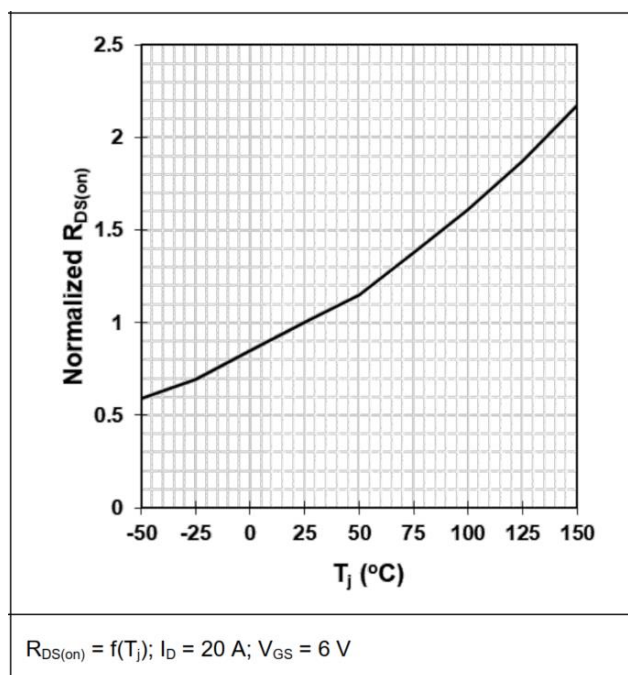


图 5-6 CG65030TAD 的导通电阻随结温的变化

## 6 动态参数

Parameters	Sym.	Values			Units	Notes/Test Conditions
		Min.	Typ.	Max.		
Input capacitance	$C_{iss}$	-	500	-	pF	$V_{GS} = 0 \text{ V}; V_{DS} = 400 \text{ V}; f = 1 \text{ MHz}$
Output capacitance	$C_{oss}$	-	129	-	pF	$V_{GS} = 0 \text{ V}; V_{DS} = 400 \text{ V}; f = 1 \text{ MHz}$
Reverse transfer capacitance	$C_{rss}$	-	0.94	-	pF	$V_{GS} = 0 \text{ V}; V_{DS} = 400 \text{ V}; f = 1 \text{ MHz}$
Effective output capacitance, energy related <sup>1</sup>	$C_{o(er)}$	-	228	-	pF	$V_{GS} = 0 \text{ V}; V_{DS} = 0 \text{ to } 400 \text{ V}$
Effective output capacitance, time related <sup>2</sup>	$C_{o(tr)}$	-	334	-	pF	$V_{GS} = 0 \text{ V}; V_{DS} = 0 \text{ to } 400 \text{ V}$
Output charge	$Q_{OSS}$	-	133	-	nC	$V_{GS} = 0 \text{ V}; V_{DS} = 400 \text{ V}; f = 1 \text{ MHz}$
Output Capacitance Stored Energy	$E_{OSS}$	-	18	-	$\mu\text{J}$	
Turn-on delay time	$t_{d(on)}$	-	4.5	-	ns	$V_{DS} = 400 \text{ V}; I_D = 20 \text{ A}; L = 120 \mu\text{H}; V_{GS} = 6 \text{ V}; R_{on} = 10 \Omega; R_{off} = 1 \Omega$
Turn-off delay time	$t_{d(off)}$	-	13.8	-	ns	
Rise time	$t_r$	-	11.5	-	ns	
Fall time	$t_f$	-	19.2	-	ns	
Switching Energy during turn-on	$E_{on}$	-	136	-	$\mu\text{J}$	
Switching Energy during turn-off	$E_{off}$	-	18	-	$\mu\text{J}$	

1.  $C_{o(er)}$  is the fixed capacitance that gives the same stored energy as  $C_{OSS}$  while  $V_{DS}$  is rising from 0 to 400 V.

2.  $C_{o(tr)}$  is the fixed capacitance that gives the same charging time as  $C_{OSS}$  while  $V_{DS}$  is rising from 0 to 400 V.

表 6-1 CG65030TAD 的动态参数

## 6.1 C<sub>iss</sub>, C<sub>oss</sub> and C<sub>rss</sub>

类似于 Si 基器件，GaN 器件的电容主要由 C<sub>GS</sub>、C<sub>GD</sub> 和 C<sub>DS</sub> 三部分极间电容组成。如左下图所示，元胞内的电容主要来自于电极-电极，电极-场板，以及垂直方向的 buffer 电容。此外，互联金属层上下或左右的交叠也会引入极间电容。输入电容 C<sub>iss</sub> = C<sub>GS</sub>+ C<sub>GD</sub>，输出电容 C<sub>oss</sub> = C<sub>DS</sub>+ C<sub>GD</sub>，反向传输电容 C<sub>rss</sub> = C<sub>GD</sub>。右下图为 CG65030TAD 的 C-V 曲线，可以发现 C<sub>oss</sub>, C<sub>rss</sub> 随电压的变化并非连续的，而是在特定电压出现明显拐点，这对应着沟道中 2DEG 被各级源场板“夹断”。

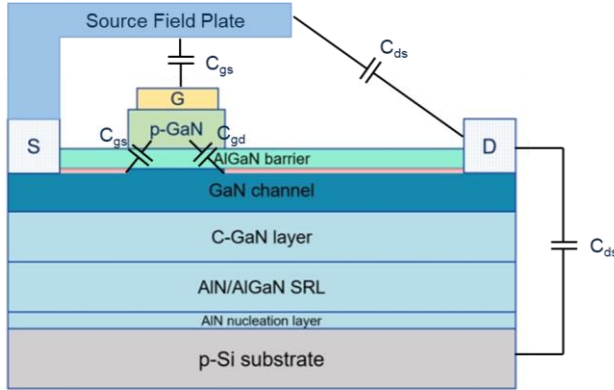


图 6-1 GaN HEMT 器件极间电容示意图

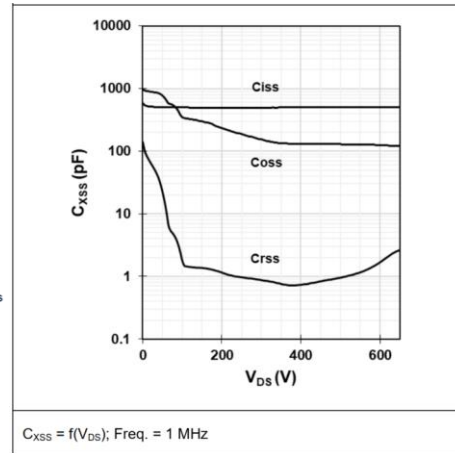


图 6-2 CG65030TAD 的 C-V 曲线

## 6.2 Q<sub>oss</sub>, E<sub>oss</sub>

Q<sub>oss</sub> 即 GaN 器件的输出电荷，通过输出电容对输出电压积分得到，其计算公式如下：

$$Q_{oss} = \int_0^{V_{bus}} C_{oss} dV_{DS}$$

E<sub>oss</sub> 即输出电容 C<sub>oss</sub> 对应产生的损耗。在硬开关应用条件下，输出电容 C<sub>oss</sub> 产生的能量损耗 E<sub>oss</sub> 和功耗 P<sub>oss</sub> 可通过以下公式计算：

$$E_{oss} = \int_0^{V_{bus}} V_{DS} * C_{oss} dV_{DS}$$

$$P_{oss} = f_{sw} * \int_0^{V_{bus}} V_{DS} * C_{oss} dV_{DS}$$

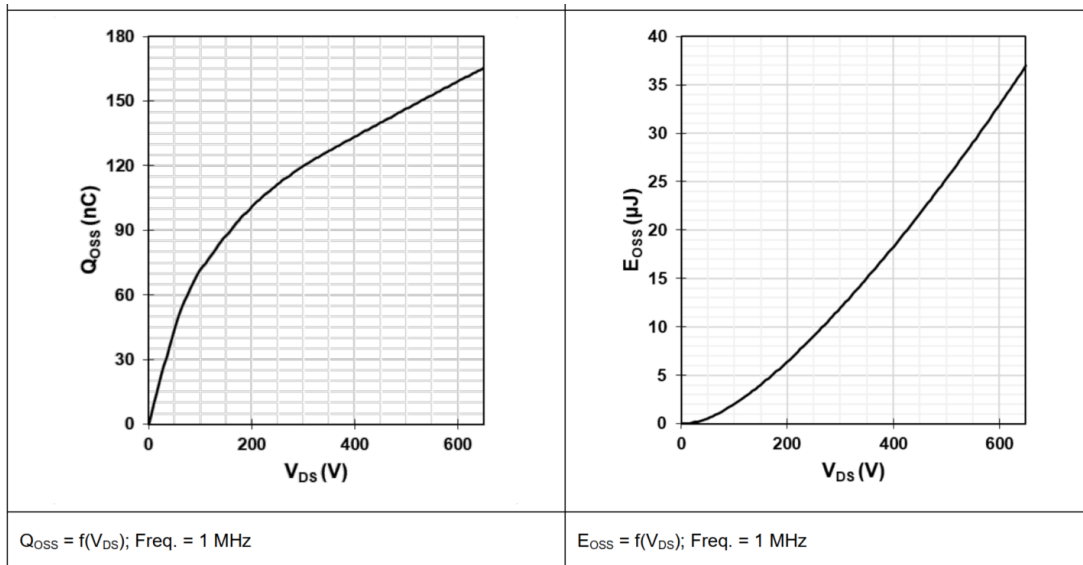


图 6-3 CG65030TAD 的  $Q_{oss}$ ,  $E_{oss}$  曲线

### 6.3 $C_{o(er)}$ , $C_{o(tr)}$

由于功率器件的  $C_{oss}$  是与  $V_{DS}$  相关的非线性曲线，对于评估开关速度以及开关损耗不够直接。对于输出电荷以及开关速度，电源工程师可以用等效的  $C_{o(tr)}$  进行评估，

$$C_{o(tr)} * V_{bus} = Q_{oss} \rightarrow C_{o(tr)} = \frac{\int_0^{V_{bus}} C_{oss} dV_{DS}}{V_{bus}}$$

对于硬开关下  $C_{oss}$  引起的开关损耗，电源工程师可以用等效的  $C_{o(er)}$  进行评估，

$$\frac{1}{2} C_{o(er)} * V_{bus}^2 = E_{oss} \rightarrow C_{o(er)} = \frac{2 \int_0^{V_{bus}} V_{DS} * C_{oss} dV_{DS}}{V_{bus}^2}$$

### 6.4 开关参数

Turn-on delay time	$t_{d(on)}$	-	4.5	-	ns	$V_{DS} = 400 \text{ V}; I_D = 20 \text{ A}; L = 120 \mu\text{H};$ $V_{GS} = 6 \text{ V}; R_{on} = 10 \Omega; R_{off} = 1 \Omega$
Turn-off delay time	$t_{d(off)}$	-	13.8	-	ns	
Rise time	$t_r$	-	11.5	-	ns	
Fall time	$t_f$	-	19.2	-	ns	
Switching Energy during turn-on	$E_{on}$	-	136	-	$\mu\text{J}$	
Switching Energy during turn-off	$E_{off}$	-	18	-	$\mu\text{J}$	

图 6-4 CG65030TAD 的开关参数

云镓采用感性负载电路，来评估 GaN 器件的开关特性，并提取器件的开关过程参数。  
 $t_{d(on)}$ , 导通延迟时间，指从栅源电压升高超过  $V_{GS}$  的 10%，到漏源电压达到  $V_{DS}$  的 90% 的时间。

$t_r$ , 上升时间，漏源电压从  $V_{DS}$  的 90% 降至 10% 的所需时间。

$t_{d(off)}$ , 关断延迟时间, 指从栅源电压降至  $V_{GS}$  的 90%, 到漏源电压达到  $V_{DS}$  的 10% 的时间。

$t_f$ , 下降时间, 漏源电压从  $V_{DS}$  的 10% 升至 90% 的用时。

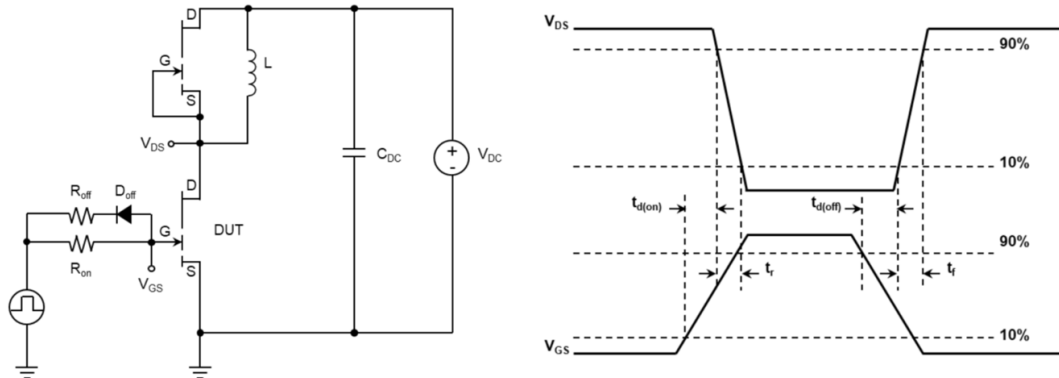


图 6-5 CG65030TAD 的开关参数测试电路及时间参数示意图

## 6.5 $Q_G$ , $Q_{GS}$ , $Q_{GD}$ 和 $V_{plat}$

Parameters	Sym.	Values			Units	Notes/Test Conditions
		Min.	Typ.	Max.		
Gate charge	$Q_G$	-	14.3	-	nC	$V_{GS} = 0$ to 6 V; $V_{DS} = 400$ V; $I_D = 60$ A
Gate-source charge	$Q_{GS}$	-	3.7	-	nC	
Gate-drain charge	$Q_{GD}$	-	3.7	-	nC	
Gate plateau voltage	$V_{plat}$	-	2.8	-	V	$V_{DS} = 400$ V; $I_D = 60$ A

图 6-6 CG65030TAD 的  $Q_G$ ,  $Q_{GS}$ ,  $Q_{GD}$  and  $V_{plat}$

输入电容  $C_{iss} = C_{GS} + C_{GD}$ , 栅极电荷  $Q_G$  即  $C_{iss}$  充电电荷, 我们可以从 GaN 器件的开关过程来提取栅极电荷  $Q_G$ 。CG65030TAD 的栅极电荷  $Q_G$  vs  $V_{GS}$  曲线及计算公式如下:

**Region 1:**  $V_{GS}$  从 0 逐渐上升到  $V_{GS(TH)}$ , 器件开始导通, 然后持续上升直到  $V_{GS} = V_{plat}$ , 即米勒平台电压, 对应于使器件饱和电流达到设定工作电流的栅极电压。此过程中  $V_{DS}$  保持不变, 数值始终为  $V_{DD}$ , 阶段 1 对  $C_{GS}$  充电。

$$Q_{GS1} = \int_{V_{DD} - V_{plat}}^{V_{DD}} C_{iss}(V_{DS}) \cdot dV$$

**Region 2:** 开关管漏极上的高压开始下降, 直到  $V_{ON} = I_L \cdot R_{DS(on)}$ ,  $V_{GS}$  保持不变, 数值始终为  $V_{plat}$ , 阶段 2 对米勒电容  $C_{GD}$  充电。

$$Q_{GD} = \int_0^{V_{DD} - V_{plat}} C_{rss}(V_{DS}) \cdot dV + \int_0^{V_{plat}} C_{rss}(V_{GS}) \cdot dV$$

**Region 3:**  $V_{GS}$  从  $V_{plat}$  开始, 持续上升, 直到达到栅极驱动电压  $V_{GS,dr}$  (对 GaN 场效应管来说, 这个值一般是 6V)。此时  $V_{on} = I_L \cdot R_{DS(on)}$  ( $V_{GS} = V_{GS,dr}$ ), 不过  $V_{DS}$  的降幅非常小, 阶段 3 主要对  $C_{GS}$  充电。

$$Q_{GS2} = \int_{V_{plat}}^{V_{GS,dr}} C_{iss}(V_{GS}) \cdot dV$$

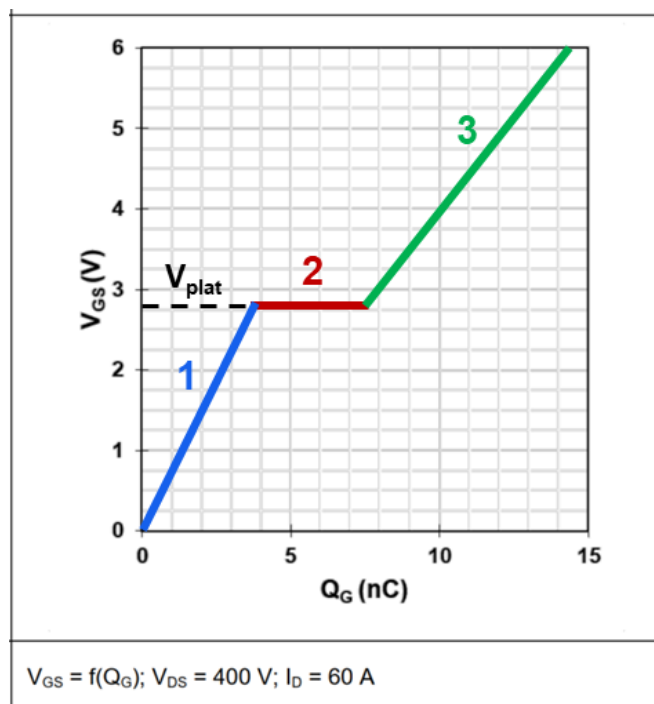


图 6-7 CG65030TAD 的  $V_{GS}$ - $Q_G$  曲线

## 6.6 $V_{SD}$ , $Q_{rr}$

Parameters	Sym.	Values			Units	Notes/Test Conditions
		Min.	Typ.	Max.		
Source-drain reverse voltage	$V_{SD}$	-	3.8	-	V	$V_{GS} = 0\text{ V}; I_{SD} = 60\text{ A}$
Pulsed current, reverse	$I_{S, pulse}$	-	80	-	A	$V_{GS} = 6\text{ V}$
Reverse recovery charge <sup>1</sup>	$Q_{rr}$	-	0	-	nC	$I_{SD} = 60\text{ A}; V_{DS} = 400\text{ V}$
Reverse recovery time	$t_{rr}$	-	0	-	ns	
Peak reverse recovery current	$I_{rrm}$	-	0	-	A	

1. Excluding  $Q_{oss}$

图 6-8 CG65030TAD 的反向导通特性

GaN 器件是通过材料极化产生的沟道。无需形成 PN 结，没有体二极管。其反向导通（第三象限导通）的基本原理是  $V_{GS} - V_{DS} > V_{GS(TH)}$ ：

- 1) 在零压关断场景下 ( $V_{GS} = 0$ )，当  $V_{SD} = V_{GS(TH)}$  时，器件开始导通续流；
- 2) 在负压关断场景下 ( $V_{GS} < 0$ )，当  $V_{SD} = V_{GS(TH)} + |V_{GS}|$  时，器件开始导通续流。

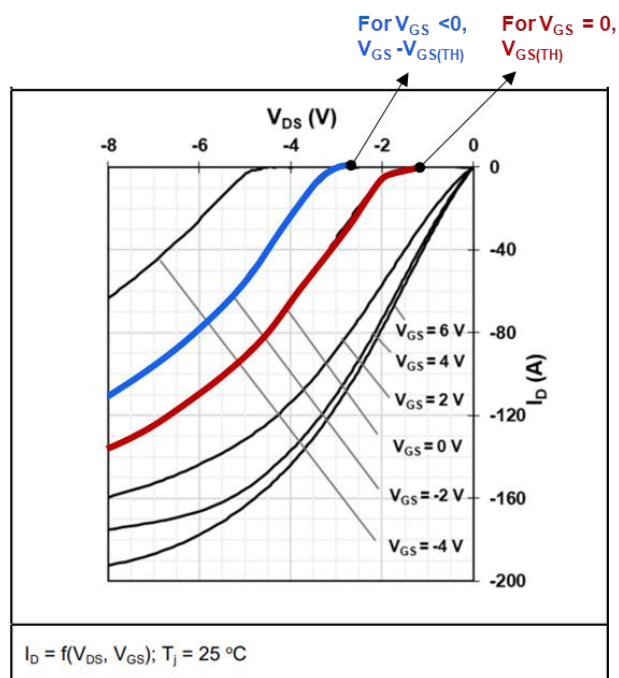


图 6-9 CG65030TAD 的反向导通电流

不同于 Si 器件，GaN 器件在反向导通过程中没有体二极管参与，所以反向恢复电荷  $Q_{rr}=0$ ，因此在高压的桥式电路以及中低压的同步整流电路中效率很高。